



日本国特許庁
JAPAN PATENT OFFICE

#11-30-01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 2月 2日

出願番号

Application Number:

特願2001-026898

出願人

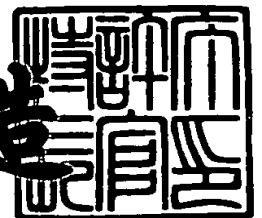
Applicant(s):

沖電気工業株式会社

2001年 9月21日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3087555

【書類名】 特許願

【整理番号】 TA000135

【提出日】 平成13年 2月 2日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/08

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 岡 ▲隆▼弘

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 照井 誠

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100079049

【弁理士】

【氏名又は名称】 中島 淳

【電話番号】 03-3357-5171

【選任した代理人】

【識別番号】 100084995

【弁理士】

【氏名又は名称】 加藤 和詳

【電話番号】 03-3357-5171

【選任した代理人】

【識別番号】 100085279

【弁理士】

【氏名又は名称】 西元 勝一

【電話番号】 03-3357-5171

【選任した代理人】

【識別番号】 100099025

【弁理士】

【氏名又は名称】 福田 浩志

【電話番号】 03-3357-5171

【手数料の表示】

【予納台帳番号】 006839

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9714945

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体チップパッケージ

【特許請求の範囲】

【請求項 1】 表面に配線用電極を設けてなる第 1 の半導体チップと、表面に配線用電極を設けてなる第 2 の半導体チップと、の 2 つの半導体チップを積層搭載してなる半導体チップパッケージにおいて、

第 1 の半導体チップと第 2 の半導体チップとが互いの裏面同士を対向させて積層搭載してなることを特徴とする半導体チップパッケージ。

【請求項 2】 第 2 の半導体チップの配線用電極の位置に対応した貫通孔が設けられたインターポーザ表面に、第 2 の半導体チップ表面の一部が固着され、該第 2 の半導体チップ裏面に第 1 の半導体チップ裏面が固着され、

第 2 の半導体チップの配線用電極がインターポーザ裏面側に貫通孔から露出してなることを特徴とする請求項 1 に記載の半導体チップパッケージ。

【請求項 3】 第 1 の半導体チップ及び第 2 の半導体チップのチップサイズより大きい貫通孔が設けられたインターポーザ表面に、貫通孔を覆う接着シートが設けられ、

第 2 の半導体チップ裏面が、インターポーザ裏面側に貫通孔から露出する接着シート裏面に固着され、

第 1 の半導体チップ裏面が、接着シート表面に、第 2 の半導体チップの固着位置に対向して固着されてなることを特徴とする請求項 1 に記載の半導体チップパッケージ。

【請求項 4】 第 1 の半導体チップのチップサイズより小さく、且つ第 2 の半導体チップのチップサイズより大きい貫通孔が設けられたインターポーザ表面に、第 1 の半導体チップが貫通孔を覆うように、第 1 の半導体チップ裏面の一部が固着され、

第 2 の半導体チップ裏面が、インターポーザ裏面側の貫通孔から露出する第 1 の半導体チップ裏面に固着されてなることを特徴とする請求項 1 に記載の半導体チップパッケージ。

【請求項 5】 インターポーザの裏面側が陥没してなり、該陥没部位に貫通

孔が設けられてなることを特徴とする請求項 2 ～ 4 のいずれかに記載の半導体チップパッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、2つの半導体チップを積層搭載してなる半導体チップパッケージに関するものである。

【従来の技術】

従来から、2つの半導体チップを積層搭載してなる半導体チップパッケージは、種々提案されている。その一つとして、2つの半導体チップを積層搭載した BGA (Ball Grid Array) 型半導体チップパッケージの断面構造図を図 10 に示す。

図 10 に示した半導体チップパッケージの場合、図 11 に示すように上チップ 52 は配線用電極 58 がチップの中央に配列されている。このような配列を使用する例としてはメモリ LSI がある。一方、図 12 に示すように下チップ 50 は配線用電極 56 がチップの各辺に配列されている。このような配列を使用する例としてはマイコン等のロジック LSI がある。

【0002】

所望のサイズに切削され個片化された上チップ 52 及び下チップ 50 は、テープまたはガフエボ等の材料からなるインターポーザ 54 上のチップ搭載位置に下チップ 50 がエポキシ樹脂等の接着剤 66 によって固着され、その下チップ 50 上に上チップ 52 が同様に接着剤 18 によって固着される。図 13 に上下チップの搭載状態を概略平面図に示す。

【0003】

その後、上チップ 52 及び下チップ 50 それぞれの配線用電極 58、56 が金線等の配線材 60、60 によってインターポーザ 54 上のインナーリード 64 にワイヤボンディングされる。そして、トランスファモールド法等によってエポキシ樹脂等により樹脂封止材 68 によって樹脂封止される。最後にインターポーザの裏面の OUTER リード部分に半田ボール 70 が搭載されパッケージが完成してい

た。

【発明が解決しようとする課題】

しかしながら、このような2つの半導体チップを積層搭載してなる半導体チップパッケージには次に示す問題があった。①図10、及び図13からわかるように、上チップは下チップの配線用電極が完全に露出し、配線材によってワイヤボンディングできる十分なサイズを確保できるように小さくなくては本構造は採用できなかった。②配線用電極は上のチップはチップの中央、またはチップの各辺に配列されているいずれの場合も採用可能であるが、上チップより大きいサイズでなくてはならない下のチップはチップの各辺に配列されている場合に限り、チップの中央に配列されている場合は採用できない。つまり、チップの中央に配列されているチップは組み合わせるチップより充分小さくなくてはならなかった。③上チップの配線用電極が中央に配列されている場合はワイヤ長さが長くなるため、ワイヤショート等の歩留まり低下の危険性がある。

【0004】

従って、本発明は、前記従来における諸問題を解決し、以下の目的を達成することを課題とする。即ち、本発明の第一の目的は、2つの半導体チップを、チップサイズに制限されることなく自由に組み合わせて搭載可能となる半導体チップパッケージを提供することである。本発明の第二の目的は、ワイヤ長さが短くなるように設計できるため安定したワイヤボンディング歩留まりにより得られ、電気特性にも優れた半導体チップパッケージを提供することである。

【0005】

【課題を解決するための手段】

上記課題は、以下の手段により解決される。即ち、

本発明の半導体チップパッケージは、表面に配線用電極を設けてなる第1の半導体チップと、表面に配線用電極を設けてなる第2の半導体チップと、の2つの半導体チップを順次積層搭載してなり、

第1の半導体チップと第2の半導体チップとが互いの裏面同士を対向させて積層搭載してなることを特徴とする。

【0006】

本発明の半導体チップパッケージでは、第1の半導体チップと第2の半導体チップとが互いの裏面同士を対向させて積層搭載してなるので、第1の半導体チップ及び第2の半導体チップの配線用電極を設けてなる表面は、それぞれ別の面に存在することになる。このため、チップサイズ、配線用電極の位置などが違う或いは同じ2つの半導体チップを自由に組み合わせて搭載可能となる。即ち、上下のチップの種類に制限はなくなる。また、上下のチップともに配線用電極をチップエッジ周辺に設計可能であり、また、配線用電極が中央に配列されている場合でもワイヤ長さが短くなるように設計できるので、安定したワイヤボンディング歩留まりをり得ることができ、併せて、高速信号伝送等、電気特性上も有利になる。

【0007】

本発明の半導体チップパッケージにおいて、第1の半導体チップと第2の半導体チップとが互いの裏面同士を対向させて積層搭載してなる構成としては、具体的には下記<1>～<3>で示す構成が好適である。

【0008】

<1>第2の半導体チップの配線用電極の位置に対応した貫通孔が設けられたインターポーザ表面に、第2の半導体チップ表面の一部が固着され、該第2の半導体チップ裏面に第1の半導体チップ裏面が固着され、

第2の半導体チップの配線用電極がインターポーザ裏面側に貫通孔から露出してなることを特徴とする半導体チップパッケージ。

【0009】

<2>第1の半導体チップ及び第2の半導体チップのチップサイズより大きい貫通孔が設けられたインターポーザ表面に、貫通孔を覆う接着シートが設けられ、

第2の半導体チップ裏面が、インターポーザ裏面側に貫通孔から露出する接着シート裏面に固着され、

第1の半導体チップ裏面が、接着シート表面に、第2の半導体チップの固着位置に対向して固着されてなることを特徴とする半導体チップパッケージ。

【0010】

＜ 3 ＞第 1 の半導体チップのチップサイズより小さく、且つ第 2 の半導体チップのチップサイズより大きい貫通孔が設けられたインターポーザ表面に、第 1 の半導体チップが貫通孔を覆うように、第 1 の半導体チップ裏面の一部分が固着され

第 2 の半導体チップ裏面が、インターポーザ裏面側の貫通孔から露出する第 1 の半導体チップ裏面に固着されてなることを特徴とする半導体チップパッケージ

【 0 0 1 1 】

本発明の半導体チップパッケージにおいては、インターポーザの裏面側が陥没してなり、該陥没部位に貫通孔が設けられてなることが好適である。インターポーザの裏面側が陥没してなり、該陥没部位に貫通孔が設けられてなることで、インターポーザ裏面の貫通孔及びその周辺を封止樹脂材等により封止した場合、陥没部位により封止樹脂材が埋め込まれることとなり、その露出する封止部分の突出する部分を抑えることができる。このため、例えばインターポーザ裏面のアウターリード部に設けられる半田ボールより、封止部分を低く抑えることができる。また、半田ボールを設ける場合、その搭載ピッチをファインして、半田ボール径を小さくすることもできる。なお、封止部分が低いとはインターポーザ裏面に対して突出する部分が低いことを示す。

【 0 0 1 2 】

なお、本発明において、半導体チップ（第 1 の半導体チップ、第 2 の半導体チップ）のチップサイズに対するインターポーザの貫通孔の大きさは、半導体チップの対向面に対するインターポーザの貫通孔口の大きさを示す。

【 0 0 1 3 】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。なお、実質的に同様の機能を有するものには、全図面通して同じ符号を付して説明する。

【 0 0 1 4 】

（第 1 の実施の形態）

図 1 ～図 5 を参照して第 1 の実施の形態を説明する。第 1 の実施の形態では、

図 1 に示す半導体チップパッケージの構成を、その製造工程に従って説明する。
図 1 に示す半導体チップパッケージでは、テープまたはガラスエポキシ等の材料からなるインターポーザ 1 4 中央には下チップ 1 0 (第 2 の半導体チップ) 表面中央に配列されている配線用電極 2 4 に対応した貫通孔 1 6 が設けられている。所望のサイズに切削、個片化され、表面中央に配線用電極 2 4 を設けた半導体チップが、下チップ 1 0 (第 2 の半導体チップ) として、その表面の所望の部分をエポキシ樹脂等の接着剤 1 8 によって、インターポーザ 1 4 表面のチップ搭載位置に固着される。この下チップ 1 0 は、その配線用電極 2 4 がインターポーザ 1 4 裏面側に貫通孔から露出するように固着される。

【 0 0 1 5 】

その後、下チップ 1 0 の配線用電極 2 4 が、金線等の配線材 2 0 によってインターポーザ 1 4 裏面に存在するインナーリード 3 2 にワイヤボンディングされる。そして、インターポーザ 1 4 裏面側の各部材周辺が、ポッティング法、等によってエポキシ樹脂等の樹脂封止材 2 8 により樹脂封止される。ここで、インターポーザ 1 4 裏面に封止樹脂が露出して突出する場合もあるが、半田ボールより充分低く抑えることが可能であり問題にならない。

【 0 0 1 6 】

次に、所望のサイズに切削、個片化され、表面のチップエッジ周辺に配線用電極 2 6 を設けた半導体チップが、上チップ 1 2 (第 1 の半導体チップ) として、その裏面を下チップ 1 0 裏面にエポキシ樹脂等の接着剤 1 8 によって固着される。その後、上チップ 1 2 の配線用電極 2 6 が、金線等の配線材 2 2 によってインターポーザ 1 4 上に存在するインナーリード 3 4 にワイヤボンディングされる。そして、インターポーザ 1 4 表面の各部材周辺が、トランスファモールド法等によってエポキシ樹脂等により樹脂封止材 3 0 により樹脂封止される。最後に、インターポーザ 1 4 裏面のアウターリード部分に半田ボール 3 6 が搭載され半導体チップパッケージが完成する。

【 0 0 1 7 】

第 1 の実施の形態では、図 2 に示すように、インターポーザ 1 4 の中央には下チップ 1 0 の中央に配列されている配線用電極 2 4 に対応した貫通孔 1 6 が設け

られている。ここで、図 3 に示すように、下チップ 1 0 の中央に配列されている配線用電極 2 4 はチップエッジまでの距離 A が例えば $100\ \mu\text{m}$ 程度と非常に短いことが多い。この場合、インターポーザ 1 4 の貫通孔 1 6 周縁と下チップ 1 0 の配線用電極 2 4 との距離をある程度確保するため、図 4 に示すように、下チップ 1 0 を、インターポーザ 1 4 表面のチップ搭載位置に下チップ 1 0 表面の所望の部分を、接着剤 1 8 (図中は塗布範囲を示す) によって、下チップ 1 0 が貫通孔 1 6 を完全に覆うことなく、隙間 B を設けて固着することとなる。このまま、インターポーザ 1 4 裏面の各部材周辺を、樹脂封止材 2 8 により樹脂封止すると隙間 B から樹脂がもれ出てしまうことがある。

【 0 0 1 8 】

このため、図 5 に示すように、両面が熱可塑性樹脂のように加熱することで粘性を持ち固着 (接着) できるような性質も持ち、且つ下チップ 1 0 のチップサイズより一回り大きく下チップ 1 0 と貫通孔 1 6 との隙間を覆う大きさの (好ましくは片側 $100\ \mu\text{m}$ 程度ずつ大きいもの) シート状の接着剤 1 8 に、下チップ 1 0 表面の一部を仮接着させ、そして、この下チップ 1 0 表面にあらかじめ仮接着されているシート状の接着剤 1 8 により、下チップ 1 0 表面をインターポーザ 1 4 表面のチップ搭載位置に固着させることが好ましい。但し、このシート状の接着剤 1 8 には、下チップ 1 0 表面の配線用電極 2 4 に対応し、且つ下チップ 1 0 のチップサイズよりも小さな孔が設けられている。これにより、下チップ 1 0 及びシート状の接着剤 1 8 によって、インターポーザ 1 4 の貫通孔 1 6 を完全に覆うことができ、封止する際の樹脂モレを防止でき、安定して得ることができる。また、シート状の接着剤 1 8 は、下チップ 1 0 表面にあたる部分とすれば十分な強度が確保できる。

【 0 0 1 9 】

第 1 の実施の形態では、下チップ 1 0 がその表面の所望の部分を接着剤 1 8 によってインターポーザ 1 4 表面のチップ搭載位置に固着され、上チップ 1 2 がその裏面を下チップ 1 0 裏面に接着剤 1 8 によって固着されてなる。即ち、上チップ 1 2 及び下チップ 1 0 のそれぞれの配線用電極 2 6、2 4 を設けてなる表面は、それぞれ別の面に存在することになる。このため、下チップ 1 0 と同じ大きさ

、又はそれ以上のチップサイズの上チップ12を搭載可能である。

【0020】

第1の実施の形態では、インターポーザ14に貫通孔16を設け、貫通孔16を通して下チップ10とインターポーザ14裏面のインナーリード32とワイヤボンディングされる。また、上チップ12の配線用電極26がチップエッジ周辺に設計した上チップ12を用いることができる。このため、配線材（ワイヤ）の長さが短い構成である。このため、安定したワイヤボンディング歩留まりを得ることができ、併せて、高速信号伝送等、電気特性上も有利になる。

【0021】

（第2の実施の形態）

図6を参照して第2の実施の形態を説明する。第2の実施の形態では、図6に示す半導体チップパッケージの構成を、その製造工程に従って説明する。図6に示す半導体チップパッケージでは、テープまたはガラスエポキシ等の材料からなるインターポーザ14の中央には上チップ12（第1の半導体チップ）及び下チップ10（第2の半導体チップ）のチップサイズより一回り大きな（好ましくは片側0.2mm程度）貫通孔16が設けられている。インターポーザ14表面には、両面が熱可塑性樹脂のように加熱することで粘性を持ち接着できるような性質も持ちシート状の接着剤18が仮接着されている。このときシート状の接着剤18は貫通孔16より片側100μm程度ずつ大きく設計すると貫通孔16を完全に覆うので、封止する際の樹脂モレを防止できる。

【0022】

そして、所望のサイズに切削、個片化され、表面のチップエッジ周辺に配線用電極24を設けた半導体チップが、下チップ10として、その表面をインターポーザ14裏面側に貫通孔16から露出するシート状の接着剤18裏面に固着させる。その後、下チップ10の配線用電極24が、金線等の配線材20によってインターポーザ14裏面に存在するインナーリード32にワイヤボンディングされる。そして、インターポーザ14裏面の各部材周辺が、トランスファモールド法等によってエポキシ樹脂等により樹脂封止材28により樹脂封止される。

【0023】

次に、所望のサイズに切削、個片化され、表面中央に配線用電極 2 6 を設けた半導体チップが、上チップ 1 2 として、その裏面をシート状の接着剤 1 8 表面に下チップ 1 0 の固着位置に対向して固着される。その後、上チップ 1 2 の配線用電極 2 6 が、金線等の配線材 2 2 によってインターポーザ 1 4 表面に存在するインナーリード 3 4 にワイヤボンディングされる。そして、インターポーザ 1 4 表面の各部材周辺が、トランスファモールド法等によってエポキシ樹脂等により樹脂封止材 3 0 により樹脂封止される。最後に、インターポーザ 1 4 裏面のアウターリード部分に半田ボール 3 6 が搭載され半導体チップパッケージが完成する。

【 0 0 2 4 】

第 2 の実施の形態では、下チップ 1 0 がその表面をインターポーザ 1 4 裏面側に貫通孔 1 6 から露出するシート状の接着剤 1 8 裏面に固着され、上チップ 1 2 がその裏面をシート状の接着剤 1 8 表面に下チップ 1 0 の固着位置に対向して固着されてなる。即ち、上チップ 1 2 及び下チップ 1 0 のそれぞれの配線用電極 2 6、2 4 を設けてなる表面は、それぞれ別の面に存在することになる。このため、下チップ 1 0 と同じ大きさ、又はそれ以上のチップサイズの上チップ 1 2 を搭載可能である。

【 0 0 2 5 】

第 2 の実施の形態では、インターポーザ 1 4 に設けた貫通孔 1 6 内部に下チップ 1 0 を設けて、下チップ 1 0 とインターポーザ 1 4 裏面のインナーリード 3 2 とワイヤボンディングされる。また、下チップ 1 0 をインターポーザ 1 4 に設けた貫通孔 1 6 内部に設けるので、インターポーザ 1 4 に対して上チップ 1 2 の配置高さを低く抑えることができる。このため、配線材（ワイヤ）の長さが短い構成である。このため、安定したワイヤボンディング歩留まりを得ることができ、併せて、高速信号伝送等、電気特性上も有利になる。

【 0 0 2 6 】

（第 3 の実施の形態）

図 7 を参照して第 3 の実施の形態を説明する。第 3 の実施の形態では、図 7 に示す半導体チップパッケージの構成を、その製造工程に従って説明する。図 7 に示す半導体チップパッケージでは、インターポーザ 1 4 として、アルミ等の金属

製基板を用い、その裏面側を絞り加工等により陥没させて、該陥没部位 3 8 に貫通孔 1 6 を設けた構成である。この構成以外は、上述した実施の形態 2 と同様であり、その説明を省略する。

【 0 0 2 7 】

第 3 の実施の形態では、裏面側が陥没してなり、該陥没部位 3 8 に貫通孔 1 6 が設けられたインターポーザ 1 4 を備える。通常、上述の第 3 の実施の形態で示したような構成の場合、下チップ 1 0 のチップサイズにもよるが、インターポーザ 1 4 裏面に封止樹脂による封止部分が露出し突出するため、半田ボール 3 6 より、封止部分 4 0 を十分低く抑えることが困難な場合がある。具体的にはピン数が増加していくと半田ボール 3 6 の搭載ピッチがファインになり、それに対応するには必然的に半田ボール 3 6 径を小さくしなくてはならず、高さも低くなる。一方で、下チップ 1 0 のチップ厚が十分薄いレベル（例えば 1 0 0 μ m レベル）まで薄くすれば半田ボール 3 6 より充分低く抑えることが可能であり問題にならない場合も多い。しかし、半田ボール 3 6 高さが低く（大体 3 0 0 μ m 以下程度）なった場合は、上述の第 3 の実施例を採用できなくなることがある。このため、インターポーザ 1 4 を上記構成とすることで、貫通孔及びその周辺（インターポーザ 1 4 表面の各部材周辺）を封止樹脂材等により封止しても、インターポーザ 1 4 の陥没部位 3 8 により封止樹脂材が埋め込まれることとなり、その露出する封止部分の突出を、半田ボール 3 6 よりも十分低く抑えることができる。また、半田ボール 3 6 の搭載ピッチをファイン化して、半田ボール径を小さくすることもできる。

【 0 0 2 8 】

（第 4 の実施の形態）

図 8 を参照して第 4 の実施の形態を説明する。第 4 の実施の形態では、図 8 に示す半導体チップパッケージの構成を、その製造工程に従って説明する。図 8 に示す半導体チップパッケージでは、テープまたはガラスエポキシ等の材料からなるインターポーザ 1 4 の中央にはインターポーザ 1 4 表面に搭載する上チップ 1 2（第 1 の半導体チップ）のチップサイズより一回り小さく、且つ下チップ 1 0（第 2 の半導体チップ）のチップサイズより大きい貫通孔が設けられている。そ

して、所望のサイズに切削、個片化され、表面中央に配線用電極 26 を設けた半導体チップが、上チップ 12 として、その裏面に両面が熱可塑性樹脂のように加熱することで粘性を持ち接着できるような性質も持つシート状の接着剤 18 を仮接着させる。この上チップ 12 裏面にあらかじめ仮接着されているシート状の接着剤 18 により、インターポーザ 14 の貫通孔 16 周辺のオーバーハングしている部位に、上チップ 12 裏面の一部を固着させる。その後、上チップ 12 の配線用電極 26 が、金線等の配線材 20 によってインターポーザ 14 表面上に存在するインナーリード 34 にワイヤボンディングされる。そしてインターポーザ 14 表面の各部材周辺が、トランスファモールド法等によってエポキシ樹脂等により樹脂封止材 30 により樹脂封止される。このとき、上チップ 12 を貫通孔 16 より、例えば片側 $0.2\mu\text{m}$ 程度ずつ大きく設計すると貫通孔 16 を完全に覆うことができるので、封止する際の樹脂モレを防止できる。

【0029】

次に、所望のサイズに切削、個片化され、表面のチップエッジ周辺に配線用電極 24 を設けた半導体チップが、下チップ 10 として、その裏面をインターポーザ 14 裏面側に貫通孔 16 から露出する上チップ 12 裏面に、接着剤 18 によって固着させる。その後、下チップ 10 の配線用電極 24 が、金線等の配線材 20 によってインターポーザ 14 裏面に存在するインナーリード 32 にワイヤボンディングされる。そして、インターポーザ 14 裏面の各部材周辺が、トランスファモールド法等によってエポキシ樹脂等により樹脂封止材 28 により樹脂封止される。最後に、インターポーザ 14 裏面のアウターリード部分に半田ボール 36 が搭載され半導体チップパッケージが完成する。

【0030】

第 4 の実施の形態では、上チップ 12 がその裏面の一部をインターポーザ 14 表面の貫通孔 16 を覆うように固着され、下チップ 10 がその表面をインターポーザ 14 裏面側に貫通孔 16 から露出する上チップ 12 裏面に固着されてなる。即ち、上チップ 12 及び下チップ 10 のそれぞれの配線用電極 26、24 を設けてなる表面は、それぞれ別の面に存在することになる。このため、この構成によると、下チップ 10 よりも大きなチップサイズの上チップ 12 を搭載可能である

【0031】

第4の実施の形態では、インターポーザ14に設けた貫通孔16内部に下チップ10を設けて、下チップ10とインターポーザ14裏面のインナーリード32とワイヤボンディングされる。また、下チップ10をインターポーザ14に設けた貫通孔16内部に設けるので、インターポーザ14に対して上チップ12の配置高さを低く抑えることができる。このため、配線材（ワイヤ）の長さが短い構成である。このため、安定したワイヤボンディング歩留まりを得ることができ、併せて、高速信号伝送等、電気特性上も有利になる。

【0032】

（第5の実施の形態）

図9を参照して第5の実施の形態を説明する。第5の実施の形態では、図9に示す半導体チップパッケージの構成を、その製造工程に従って説明する。図9に示す半導体チップパッケージでは、インターポーザ14として、アルミ等の金属製基板を用い、その裏面側を絞り加工等により陥没させて、該陥没部位38に貫通孔16を設けた構成である。この構成以外は、上述した実施の形態4と同様であり、その説明を省略する。

【0033】

第5の実施の形態では、裏面側が陥没してなり、該陥没部位38に貫通孔16が設けられたインターポーザ14を備えるので、上述した第3の実施の形態で示したように、露出する封止部分の突出を、半田ボール36よりも十分低く抑えることができる。また、半田ボール36の搭載ピッチをファイン化して、半田ボール径を小さくすることもできる。

【0034】

上述した実施の形態1～5においては、その構成を製造工程に従って説明したが、この製造工程に限定されないのは言うまでもない。また、上述した実施の形態1～5において、上チップ及び下チップにおける「上下」とは、インターポーザ面に対する位置を基準とする上下を意味する。

【0035】

上述した実施の形態 1 ～ 5 においては、上チップ及び下チップの配線用電極の位置を、中央に配列又はチップエッジ周辺に配列されている場合について説明したが、本発明は配線用電極の位置は、特に限定されず、配線用電極が如何なる位置に設けられた半導体チップも搭載可能であることは言うまでもない。

【 0 0 3 6 】

上述した実施の形態 1 ～ 3 においては、上チップ及び下チップのチップサイズは同一である場合について説明したが、この上チップ及び下チップのチップサイズは自由に変更でき、如何なるチップサイズの組み合わせでも、搭載可能であることは言うまでもない。

【 0 0 3 7 】

なお、上記何れの実施の形態に係る本発明の半導体チップパッケージにおいても、限定的に解釈されるものではなく、本発明の構成要件を満足する範囲内で実現可能であることは、言うまでもない。

【 0 0 3 8 】

【発明の効果】

以上、説明したように請求項 1 ～ 4 の発明によれば、2 つの半導体チップをチップサイズに制限されることなく自由に組み合わせて搭載可能である、また、ワイヤ長さが短くなるように設計できるため安定したワイヤボンディング歩留まりを得ることができ、電気特性も優れる、という効果を達成する。

【 0 0 3 9 】

さらに、請求項 5 によれば、インターポーザ裏面側の貫通孔及びその周辺を封止樹脂材等により封止した場合、その露出する封止部分の突出する部分を抑えることができる、という効果を達成することができる。

【図面の簡単な説明】

【図 1】 第 1 の実施の形態における半導体チップパッケージを示す概略断面図である。

【図 2】 第 1 の実施の形態における半導体チップパッケージのインターポーザを示す概略平面図である。

【図 3】 第 1 の実施の形態における半導体チップパッケージの下チップを示

す概略平面図である。

【図 4】 第 1 の実施の形態における半導体チップパッケージの下チップの固着状態を示す概略平面図である。

【図 5】 第 1 の実施の形態における半導体チップパッケージの好適な下チップの固着状態を示す概略平面図である。

【図 6】 第 2 の実施の形態における半導体チップパッケージを示す概略断面図である。

【図 7】 第 3 の実施の形態における半導体チップパッケージを示す概略断面図である。

【図 8】 第 4 の実施の形態における半導体チップパッケージを示す概略断面図である。

【図 9】 第 5 の実施の形態における半導体チップパッケージを示す概略断面図である。

【図 1 0】 従来の半導体チップパッケージを示す概略断面図である。

【図 1 1】 従来の半導体チップパッケージの上チップを示す概略平面図である。

【図 1 2】 従来の半導体チップパッケージの下チップを示す概略平面図である。

【図 1 3】 従来の半導体チップパッケージを示すの上下チップの搭載状態を示す概略平面図である。

【符号の説明】

- 1 0 下チップ（第 2 の半導体チップ）
- 1 2 上チップ（第 1 の半導体チップ）
- 1 4 インターポーザ
- 1 6 貫通孔
- 1 8 接着剤
- 2 0、2 2 配線材
- 2 4、2 6 配線用電極
- 2 8、3 0 樹脂封止材

3 2、3 4 インナーリード

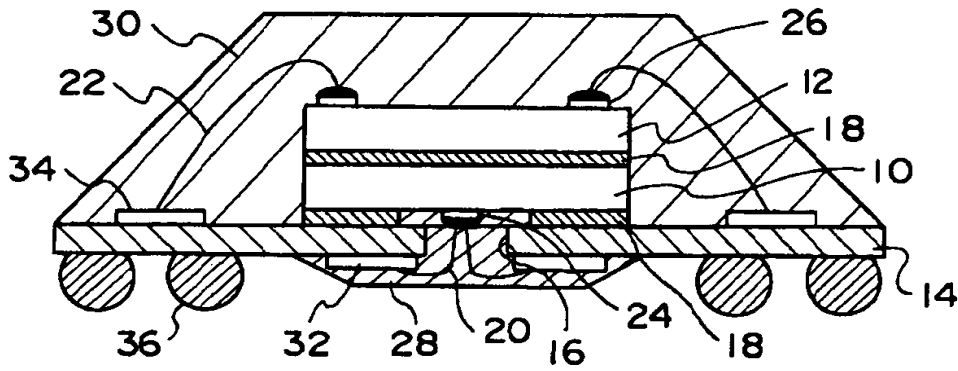
3 6 半田ボール

3 8 陥没部位

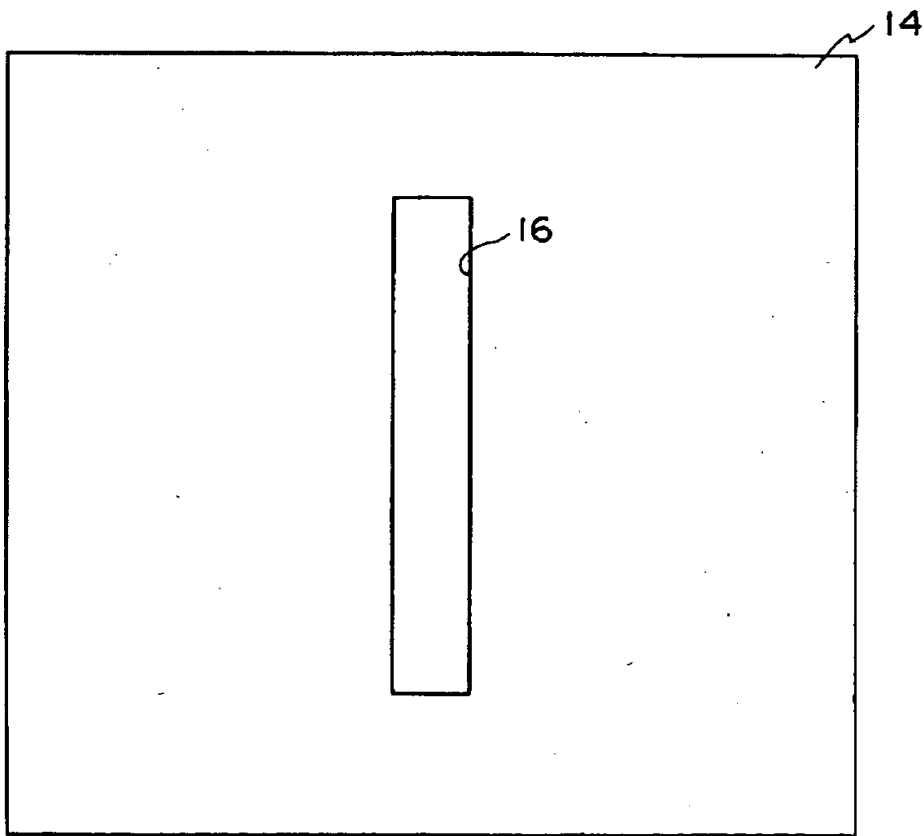
4 0 封止部分

【書類名】 図面

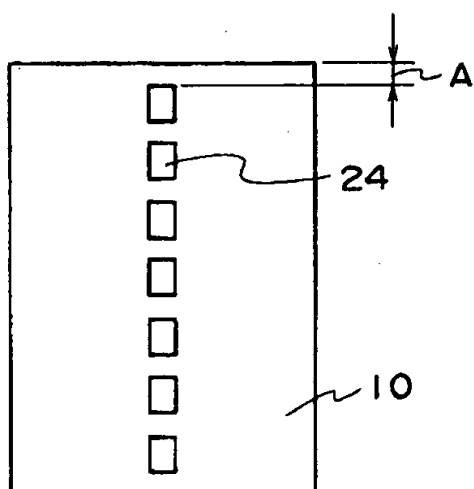
【図 1】



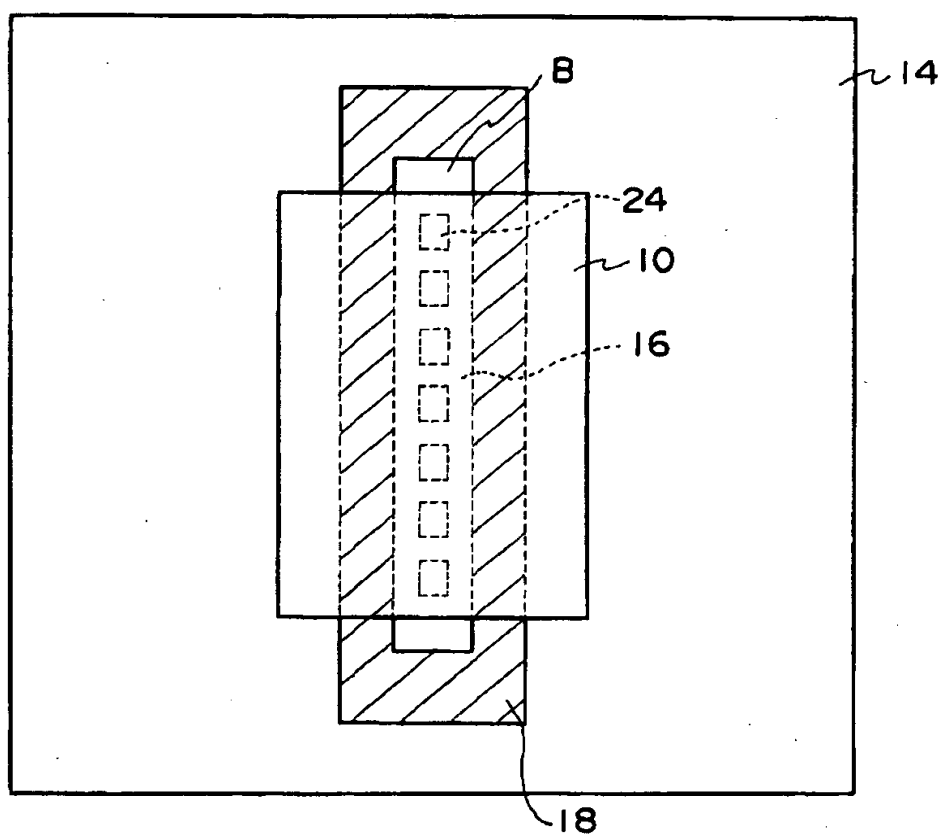
【図 2】



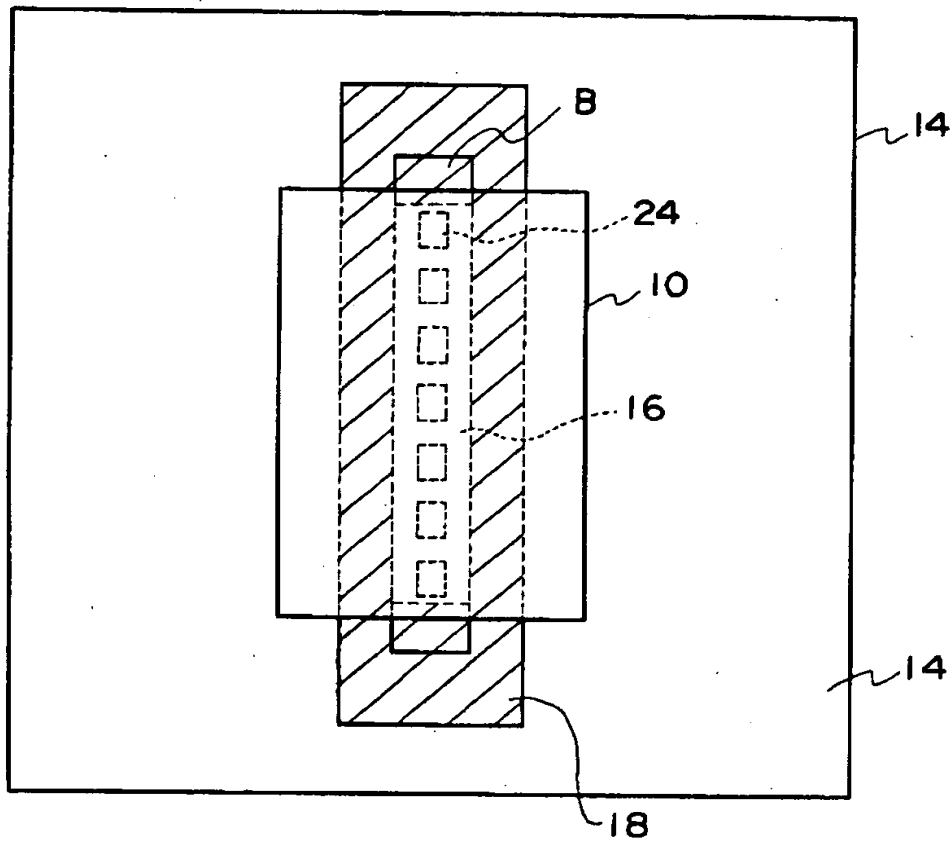
【図 3】



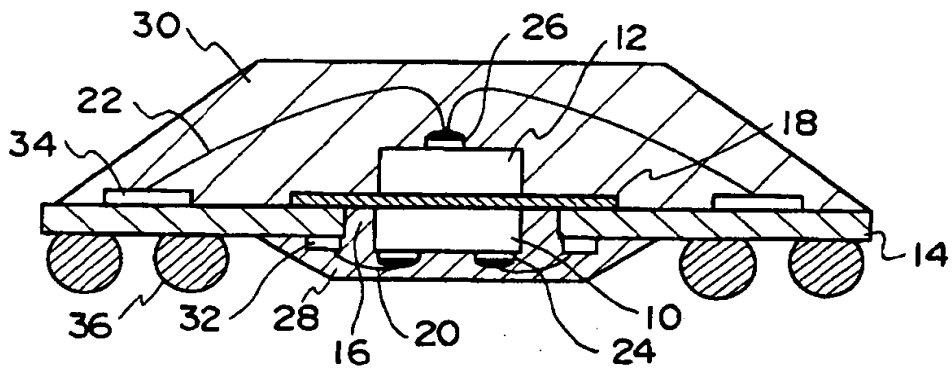
【図 4】



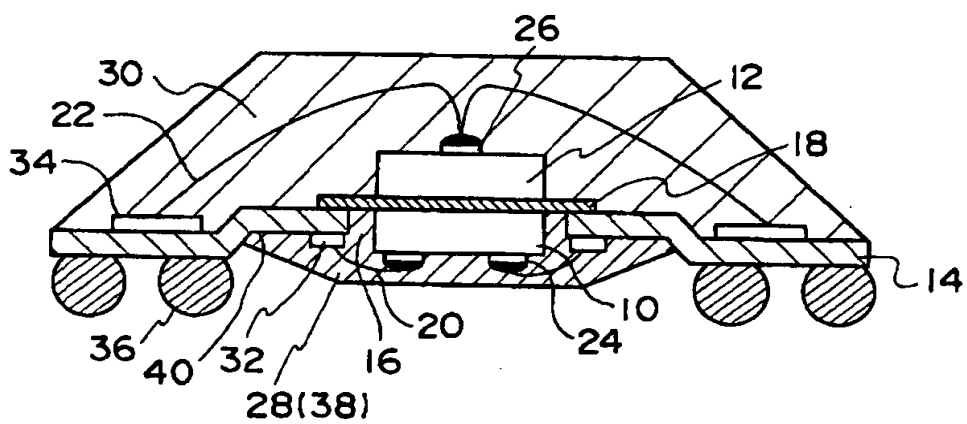
【図 5】



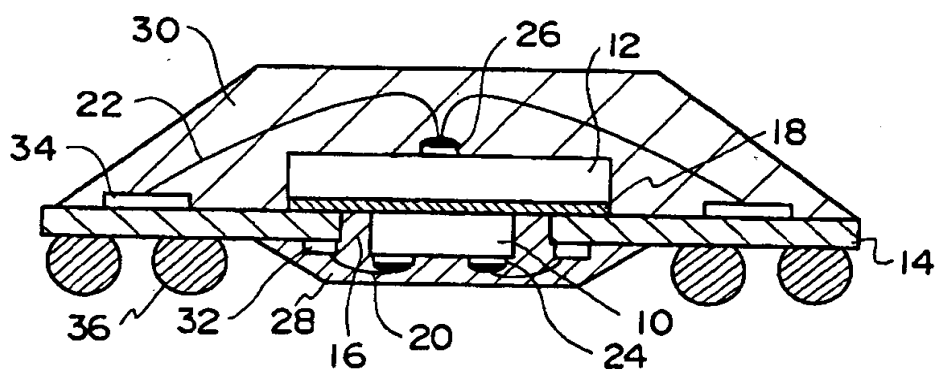
【図 6】



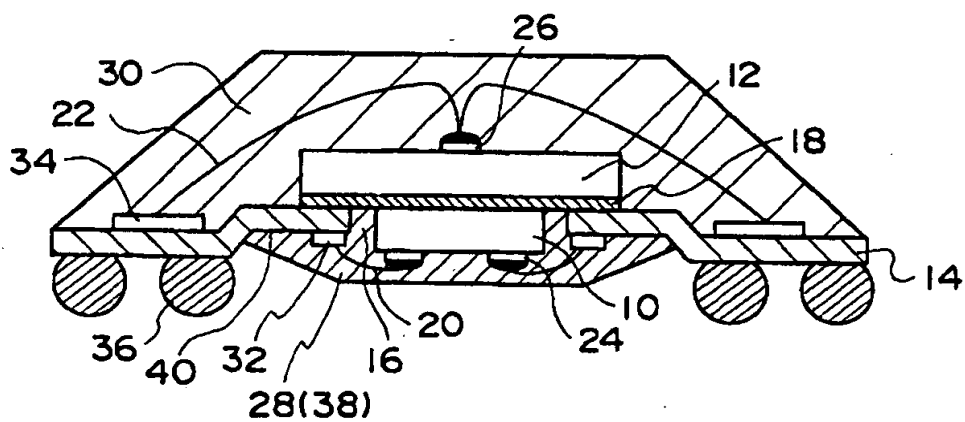
【図 7】



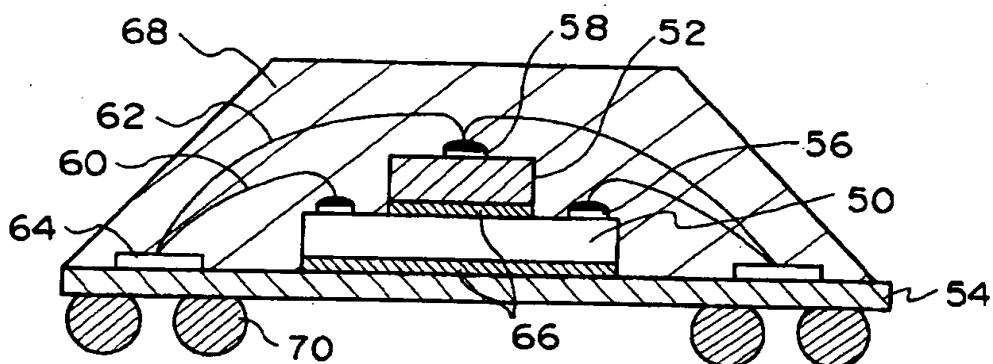
【図 8】



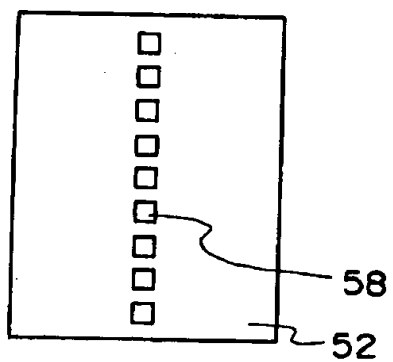
【図 9】



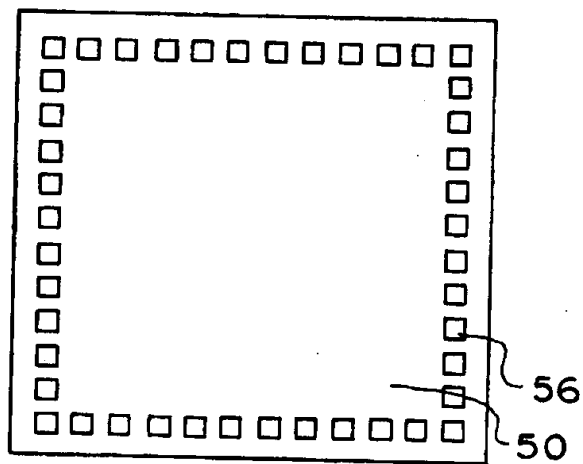
【図10】



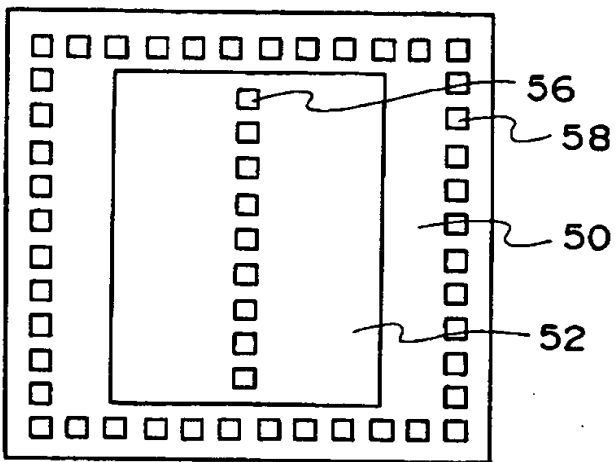
【図11】



【図12】



【図13】



【書類名】 要約書

【要約】

【課題】 2つの半導体チップをチップサイズに制限されることなく自由に組み合わせて搭載可能となり、さらに、ワイヤ長さが短くなるように設計できるため安定したワイヤボンディング歩留まりを得ることができ、電気特性も優れた半導体チップパッケージを提供すること。

【解決手段】 表面に配線用電極を設けてなる第1の半導体チップ（上チップ12）と、表面に配線用電極を設けてなる第2の半導体チップ（下チップ10）と、の2つの半導体チップを積層搭載してなる半導体チップパッケージにおいて、第1の半導体チップ（上チップ12）と第2の半導体チップ（下チップ10）とが互いの裏面同士を対向させて積層搭載してなることを特徴とする半導体チップパッケージ。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社